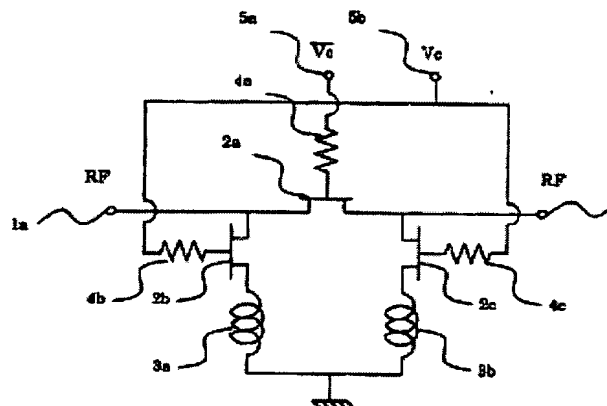


PHASE SHIFTER AND MULTIBIT PHASE SHIFTER**Patent number:** WO02056467**Publication date:** 2002-07-18**Inventor:** HIEDA MORISHIGE (JP); MIYAGUCHI KENICHI (JP); MORI KAZUTOMI (JP); KASAHARA MICHIAKI (JP); TAKAGI TADASHI (JP); IKEMATSU HIROSHI (JP); TAKEUCHI NORIO (JP); NAKAGURO HIROMASA (JP); INAMI KAZUYOSHI (JP)**Applicant:** MITSUBISHI ELECTRIC CORP (JP); HIEDA MORISHIGE (JP); MIYAGUCHI KENICHI (JP); MORI KAZUTOMI (JP); KASAHARA MICHIAKI (JP); TAKAGI TADASHI (JP); IKEMATSU HIROSHI (JP); TAKEUCHI NORIO (JP); NAKAGURO HIROMASA (JP); INAMI KAZUYOSHI (JP)**Classification:****- International:** H03H11/18; H03H11/20; H03H11/02; (IPC1-7): H03H11/20; H03H7/20**- european:** H03H11/18; H03H11/20**Application number:** WO2001JP00042 20010109**Priority number(s):** WO2001JP00042 20010109**Also published as:**EP1351388 (A1)
US6674341 (B2)
US2003020563 (A)**Cited documents:**JP1202007
JP3204218**Report a data error here****Abstract of WO02056467**

The invention provides a small phase shifter and a small multibit phase shifter, in which a filter including a capacitor formed during pinchoff of a FET is used to shift phases depending on the ON/OFF operation of the FET. The phase shifter comprises a first FET connected at its drain and source electrodes with an input terminal and an output terminal; a second FET connected at either one of its drain and source electrodes with the source of the first FET and grounded at the other through a first inductor; and a third FET connected at either one of its drain and source electrodes with the drain of the first FET and grounded at the other through a second inductor.



Data supplied from the esp@cenet database - Worldwide

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 7 月 18 日 (18.07.2002)

PCT

(10) 国際公開番号
WO 02/056467 A1

(51) 国際特許分類⁷: H03H 11/20, 7/20
(21) 国際出願番号: PCT/JP01/00042
(22) 国際出願日: 2001 年 1 月 9 日 (09.01.2001)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 檜枝護重 (HIEDA, Morishige) [JP/JP]. 宮口賢一 (MIYAGUCHI, Kenichi) [JP/JP]. 森 一富 (MORI, Kazutomi) [JP/JP]. 笠原通

明 (KASAHARA, Michiaki) [JP/JP]. 高木 直 (TAKAGI, Tadashi) [JP/JP]. 池松 寛 (IKEMATSU, Hiroshi) [JP/JP]. 竹内紀雄 (TAKEUCHI, Norio) [JP/JP]. 中畔弘昌 (NAKAGURO, Hiromasa) [JP/JP]. 稲見和喜 (INAMI, Kazuyoshi) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人: 曾我道照, 外 (SOGA, Michiteru et al.); 〒100-0005 東京都千代田区丸の内三丁目1番1号 国際ビルディング8階 曾我特許事務所 Tokyo (JP).

(81) 指定国 (国内): JP, US.

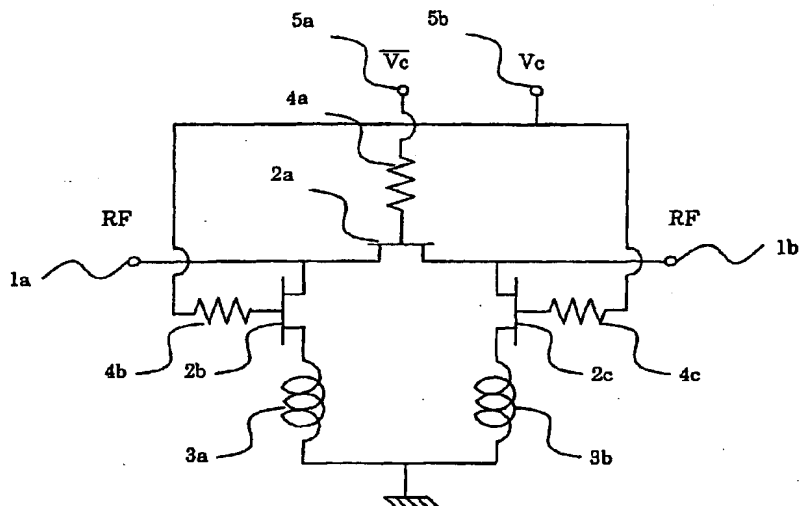
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: PHASE SHIFTER AND MULTIBIT PHASE SHIFTER

(54) 発明の名称: 移相器及び多ビット移相器



(57) Abstract: The invention provides a small phase shifter and a small multibit phase shifter, in which a filter including a capacitor formed during pinchoff of a FET is used to shift phases depending on the ON/OFF operation of the FET. The phase shifter comprises a first FET connected at its drain and source electrodes with an input terminal and an output terminal; a second FET connected at either one of its drain and source electrodes with the source of the first FET and grounded at the other through a first inductor; and a third FET connected at either one of its drain and source electrodes with the drain of the first FET and grounded at the other through a second inductor.

[続葉有]

WO 02/056467 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

FETのピンチオフ時のキャパシタを用いてフィルタを構成し、FETのON/OFFによって通過位相を変化させることができる小型な移相器及び多ビット移相器を得ることを目的とし、係る目的を達成するために、ドレイン電極とソース電極を入力端子と出力端子に接続した第一のFETと、ドレイン電極またはソース電極の一方の電極を前記第一のFETのソース電極に接続し、他方の電極を第一のインダクタを介して接地した第二のFETと、ドレイン電極またはソース電極の一方の電極を前記第一のFETのドレイン電極に接続し、他方の電極を第二のインダクタを介して接地した第三のFETとを備える。

明 細 書

移相器及び多ビット移相器

5 技術分野

この発明は、マイクロ波帯、ミリ波帯で信号の通過位相を電氣的に変化させる移相器及び多ビット移相器に関するものである。

図 1 1 は、例えば「マイクロ波半導体応用工学」(Joseph F. White 著、C Q 出版社発行、pp. 3 3 6 - 3 3 9) に示された従来の移相器である。

- 10 図 1 1 において、1 a、1 b は入出力端子、9 a、9 b は S P D T (single pole double-throw) スイッチ、1 0 a、1 0 b は線路である。

次に動作について説明する。

入出力端子 1 a から入力した高周波信号は、S P D T スイッチ 9 a にて切り替えられる。

- 15 まず、線路 1 0 a に高周波信号が通過する場合について説明する。S P D T スイッチ 9 a で切り替えられた高周波信号は、線路 1 0 a を通過して、S P D T スイッチ 9 b に入力される。S P D T スイッチ 9 b は S P D T スイッチ 9 a と連動しており、高周波信号は、入出力端子 1 b から出力される。

- 20 次に、線路 1 0 b に高周波信号が通過する場合について説明する。S P D T スイッチ 9 a で切り替えられた高周波信号は、線路 1 0 b を通過して、S P D T スイッチ 9 b に入力される。S P D T スイッチ 9 b は S P D T スイッチ 9 a と連動しており、高周波信号は、入出力端子 1 b から出力される。

- 25 ここで、線路 1 0 a と線路 1 0 b は長さが異なっており、高周波信号が線路 1 0 a を通過する場合と、線路 1 0 b を通過する場合とで通過位相を切り替えることができる。

従来の移相器では、移相量に応じて長さが異なる線路を用いるために回路が大きくなってしまいう問題点があった。

この発明は上記のような問題点を解決するためになされたもので、F E T のピンチオフ時のキャパシタを用いてフィルタを構成し、F E T の O N / O F F

によって通過位相を変化させることができる小型な移相器及び多ビット移相器を得ることを目的とする。

発明の開示

- 5 上記目的を達成するために、この発明に係る移相器は、ドレイン電極とソース電極を入力端子と出力端子に接続した第一のF E Tと、ドレイン電極またはソース電極の一方の電極を前記第一のF E Tのソース電極に接続し、他方の電極を第一のインダクタを介して接地した第二のF E Tと、ドレイン電極または
- 10 電極を第二のインダクタを介して接地した第三のF E Tとを備えたものである。

また、前記第二のF E Tと前記第三のF E Tのドレイン電極とソース電極の各電極間に第一と第二のインダクタをそれぞれ接続したことを特徴とするものである。

- 15 また、前記第一のF E Tのドレイン電極とソース電極間に第一のキャパシタを接続したことを特徴とするものである。

また、前記第二のF E Tと前記第三のF E Tのドレイン電極とソース電極の各電極間に第一と第二のキャパシタをそれぞれ接続したことを特徴とするものである。

- 20 また、前記第一のF E Tのドレイン電極と前記第二のF E Tのドレイン電極またはソース電極とを共通接続し、前記第一のF E Tのソース電極と前記第三のF E Tのドレイン電極またはソース電極とを共通接続したことを特徴とするものである。

- また、この発明に係る多ビット移相器は、ドレイン電極とソース電極を入力
- 25 端子と出力端子に接続した第一のF E Tと、ドレイン電極またはソース電極の一方の電極を前記第一のF E Tのソース電極に接続し、他方の電極を第一のインダクタを介して接地した第二のF E Tと、ドレイン電極またはソース電極の一方の電極を前記第一のF E Tのドレイン電極に接続し、他方の電極を第二のインダクタを介して接地した第三のF E Tとを備えた移相器を用い、移相量の

異なる複数の移相器を組み合わせたものである。

また、前記第二のFETと前記第三のFETのドレイン電極とソース電極の各電極間に第三と第四のインダクタをそれぞれ接続したことを特徴とするものである。

- 5 また、ハイパスフィルタとローパスフィルタをSPDTスイッチで切り替えるスイッチ切り替え移相器でなる 180° ビット移相器をさらに備え、前記第一ないし第三のFETと前記第一ないし第四のインダクタンスを有する移相器を 90° ビット移相器として用いたことを特徴とするものである。

- また、前記 90° ビット移相器と同一構成を有する 45° ビット移相器と、
10 第四のFETのドレインとソースの間に第五のインダクタを並列に接続し、第五のFETのドレインまたはソースの一方にスイッチで切り替える一方を接地した第六のインダクタを接続し、第五のFETのドレインとソースを入出力端子とする移相器でなる 22.5° ビット移相器と、第六のFETのドレインとソースの間に第七のインダクタを並列に接続し、第六のFETのドレインと
15 ソースを入出力端子とする移相器でなる 11.25° ビットとをさらに備えたことを特徴とするものである。

また、前記第一のFETのドレイン電極とソース電極間に第一のキャパシタを接続したことを特徴とするものである。

- また、前記第二のFETと前記第三のFETのドレイン電極とソース電極の
20 各電極間に第一と第二のキャパシタをそれぞれ接続したことを特徴とするものである。

- さらに、前記第一のFETのドレイン電極と前記第二のFETのドレイン電極またはソース電極とを共通接続し、前記第一のFETのソース電極と前記第三のFETのドレイン電極またはソース電極とを共通接続としたこと特徴とする
25 ものである。

図面の簡単な説明

図1は、この発明の実施の形態1に係る移相器を示す回路図、

図2は、この発明の実施の形態1に係る移相器を示すレイアウト図、

- 図 3 は、この発明の移相器の動作を示す位相進み状態の等価回路図、
図 4 は、この発明の移相器の動作を示す位相遅れ状態の等価回路図、
図 5 は、この発明の実施の形態 2 に係る移相器を示す回路図、
図 6 は、この発明の実施の形態 3 に係る移相器を示す回路図、
5 図 7 は、この発明の実施の形態 4 に係る移相器を示す回路図、
図 8 は、この発明の実施の形態 5 に係る移相器を示すレイアウト図、
図 9 は、この発明の実施の形態 6 に係る移相器を示す回路図、
図 10 は、この発明の実施の形態 7 に係る移相器を示す回路図、
図 11 は、従来の移相器を示す回路図である。

10

発明を実施するための最良の形態

実施の形態 1.

図 1 は、この発明の実施の形態 1 に係る移相器を示す回路図である。

また、図 2 は、図 1 に示す移相器のレイアウト図である。

- 15 これらの図において、1 a、1 b は入出力端子、2 a、2 b、2 c は F E T、
3 a、3 b はインダクタ、4 a、4 b、4 c は抵抗、5 a、5 b は制御信号
端子、6 は半導体基板、7 はスルーホールである。F E T 2 a のゲート端子は
抵抗 4 a を介して制御信号端子 5 a に接続されており、F E T 2 b と 2 c のゲ
ート端子は各々抵抗 4 b、抵抗 4 c を介して制御信号端子 5 b に接続されてい
20 る。

また、図 3 と図 4 は、この発明の移相器の動作を示す等価回路図である。

次に動作について説明する。

- まず、制御信号端子 5 a に、F E T 2 a がピンチオフになる電圧より低いバ
イアスが印加されており、制御信号端子 5 b に、F E T 2 b と 2 c がピンチオ
25 フになる電圧より大きいバイアスが印加されている場合、すなわち F E T 2 a
が O F F 状態、F E T 2 b と 2 c が O N 状態の場合、F E T 2 a のドレイン
ソース間はキャパシタと等価になり、F E T 2 b、2 c のドレインソース間
は各々ショートと等価にみなすことができる。

このような状態の等価回路を図 3 に示す。

この状態では、この発明の移相器は、キャパシタと等価のFET 2 aとインダクタ 3 a、3 bから構成されたπ型のHPF (high-pass filter) として動作する。

5 入出力端子 1 a、1 b間を通過する高周波信号の位相は、次式に示す量だけ進む。

FET 2 aのOFF時の容量C_sとインダクタンス 3 a、3 bのインダクタンスL_pの関係式

$$\begin{aligned}\angle S_{21} &= \tan^{-1} \frac{\text{Im}(S_{21})}{\text{Re}(S_{21})} \\ &= \tan^{-1} \frac{(\omega^2 L_p^2 Y_0 + Z_0(2\omega^2 C_s L_p - 1))}{2\omega L_p (\omega^2 C_s L_p - 1)}\end{aligned}$$

10 ただし、S₂₁ : 入力端子を 1、出力端子を 2 とした場合の散乱行列、

Y₀ : 入出力ポートの特性アドミタンス、

Z₀ : 入出力ポートの特性インピーダンス、

ω : 角周波数

次に、FET 2 aにピンチオフ以上のゲートバイアスが印加されており、FET 2 bと 2 cにピンチオフ以下のゲートバイアスが印加されている場合、すなわちFET 2 aがON状態、FET 2 bと 2 cがOFF状態の場合、FET 2 aのドレイン-ソース間はショートと等価にみなすことができ、FET 2 bと 2 cのドレイン-ソース間はキャパシタと等価に振る舞う。

このような状態の等価回路を図 4 に示す。

20 この状態では、この発明の移相器は、キャパシタと等価のFET 2 b及び 2 cと、インダクタ 3 a、3 bから構成された回路として動作する。

ここで、FET 2 b及び 2 cのゲート幅を小さくし、OFF時の容量を非常に小さくすることにより、FET 2 b及び 2 cとインダクタ 3 a、3 bの影響を小さくし、接続されていないのと同様に扱うことができる。この場合、入出力端子 1 a、1 b間はショートと同等になる。

25 なお、図 4 において、C_pは、FET 2 bと 2 cのドレイン-ソース間のキャパシタ成分である。

上記のように、FET 2 a、2 b、2 cをON/OFFすることにより、図3に示す位相進み状態（基準状態）の等価回路と図4に示す位相遅れ状態（移相状態）の等価回路に示すように、通過位相を変化させることができ、移相器として動作する。

- 5 上記実施の形態1では、図2に示すように、半導体基板6上に回路を構成したモノリシック構造について記しているが、誘電体基板上にディスクリット部品を用いて回路を構成し、FETを接続しても同等の効果が得られる。

実施の形態2.

- 10 上記実施の形態1では、一方を接地したインダクタ3 a、3 bをFETによりON/OFFさせたが、FETと並列にインダクタを追加して並列共振回路を構成し、一方を接地したインダクタをON/OFFさせても同等の効果を得ることができる。

図5は、この発明の実施の形態2に係る移相器を示す回路図である。

- 15 図5において、図1に示す実施の形態1と同一部分は同一符号を付しその説明は省略する。新たな符号として、3 c、3 dはインダクタである。

次に動作について説明する。

- 20 FET 2 aにピンチオフ以上のゲートバイアスが印加されており、FET 2 bとFET 2 cにピンチオフ以下のゲートバイアスが印加されている場合、すなわちFET 2 aがON状態、FET 2 bと2 cがOFF状態の場合、FET 2 aのドレインソース間はショートと等価にみなすことができ、FET 2 bと2 cのドレインソース間はキャパシタと等価に振る舞う。

- 25 ここで、FET 2 bとインダクタ3 c、FET 2 cとインダクタ3 dでなる共振回路を所望の周波数で並列共振させることにより、インダクタ3 a、3 bの影響を小さくし、接続されていないのと同様に扱うことができる。この場合、入出力端子1 a、1 b間はショートと同等になる。

上記のように、FET 2 a、2 b、2 cをON/OFFすることにより、通過位相を変化させることができ、移相器として動作する。

実施の形態 3.

以上の実施の形態 1 と 2 では、通過位相を変化させるためのハイパスフィルタに用いるキャパシタを F E T にて実現したが、F E T と並列にキャパシタを接続しても同等の効果が得られる。

- 5 図 6 は、この発明の実施の形態 3 に係る移相器を示す回路図である。

図 6 において、図 1 に示す実施の形態 1 と同一部分は同一符号を付しその説明は省略する。新たな符号として、8 はキャパシタである。

次に動作について説明する。

- まず、制御信号端子 5 a に F E T 2 a がピンチオフになる電圧より低いバイ
10 アスが印加されており、制御信号端子 5 b に F E T 2 b と F E T 2 c がピンチ
オフになる電圧より大きいバイアスが印加されている場合、すなわち F E T 2
a が O F F 状態、F E T 2 b、F E T 2 c が O N 状態の場合、F E T 2 a のド
レインソース間はキャパシタと等価に振る舞い、F E T 2 b、F E T 2 c の
ドレインソース間はショートと等価にみなすことができる。

- 15 この状態では、この発明の移相器は、キャパシタと等価の F E T 2 a とキャ
パシタ 8 およびインダクタ 3 a、3 b から構成された π 型のハイパスフィルタ
として動作する。

上記のように、F E T 2 a、2 b、2 c を O N / O F F することにより、通
過位相を変化させることができ、移相器として動作する。

- 20 また、単位面積あたりの容量が F E T よりもキャパシタの方が大きい場合、
F E T だけを用いてキャパシタを実現した場合に比べて、小型化が可能になる
。

- また、F E T 2 a とキャパシタ 8 の合計容量が一定のままサイズを変化させ
ることにより、移相量が一定のまま通過損失を変化させることができるために
25 、位相切り替え時の損失差を小さくすることが可能になる。

実施の形態 4.

上述した実施の形態 2 では、一方を接地したインダクタを F E T と並列にイン
ダクタを追加して並列共振回路を構成し、一方を接地したインダクタを O N

／OFFさせたが、FETに対しインダクタとキャパシタを並列に接続しても同等の効果をを得ることができる。

図7は、この発明の実施の形態4に係る移相器を示す回路図である。

図7において、図5に示す実施の形態2と同一部分は同一符号を付しその説明は省略する。新たな符号として、8a、8bはキャパシタである。

次に動作について説明する。

FET2aにピンチオフ以上のゲートバイアスが印加されており、FET2bと2cにピンチオフ以下のゲートバイアスが印加されている場合、すなわちFET2aがON状態、FET2b、FET2cがOFF状態の場合、FET2aのドレイン－ソース間はショートと等価にみなすことができ、FET2bと2cのドレイン－ソース間はキャパシタと等価に振る舞う。

ここで、FET2bとインダクタ3cとキャパシタ8a、FET2cとインダクタ3dとキャパシタ8bでなる共振回路を所望の周波数で並列共振させることにより、インダクタ3a、3bの影響を小さくし、接続されていないのと同様に扱うことができる。この場合、入出力端子1a、1b間はショートと同等になる。

上記のように、FET2a、2b、2cをON/OFFすることにより、通過位相を変化させることができ、移相器として動作する。

また、単位面積あたりの容量がFETよりもキャパシタの方が大きい場合、FETだけを用いてキャパシタを実現した場合に比べて、小型化が可能になる。

また、FET2aとキャパシタ8の合計容量が一定のままサイズを変化させることにより、移相量が一定のまま通過損失を変化させることができるために、位相切り替え時の損失差を小さくすることが可能になる。

実施の形態5.

上記実施の形態1乃至4では、3個のFETを用いているが、互いに接続するFETの電極を共通の構成にしても同等の効果が得られる。

図8は、この発明の実施の形態5に係る移相器を示すレイアウト図である。

すなわち、図8では、マルチフィンガタイプのFET 2a, 2b, 2cに対し、FETの2aのドレイン電極とFET 2bのドレイン電極（またはソース電極）とを共通接続し、FET 2aのソース電極とFET 2cのソース電極（またはドレイン電極）とを共通接続している。

- 5 上記のように構成することにより、FETの電極間を接続する線路が不要になり小型にすることが可能になる。

上記実施の形態5では、半導体基板6上に回路を構成したモノリシック構造について記しているが、誘電体基板上に回路を構成し、電極を共通化したFETを接続しても同等の効果が得られる。

10

実施の形態6.

図9は、この発明の実施の形態6に係る移相器を示す回路図である。

- 図9において、20aと20bはSPDT (single-pole double-throw) スイッチ、21はハイパスフィルタ、22はローパスフィルタ、23は180° bit移相器、24は90° bit移相器である。180° bit移相器は、
15 2つのSPDTスイッチ20aと20b、ハイパスフィルタ21、ローパスフィルタ22から構成されており、90° bit移相器24は、前記実施の形態2に示した移相器である。

次に動作について説明する。

- 20 入出力端子1aに入力した高周波信号は、SPDTスイッチ20aおよび20bにて通過する経路を切り替えられる。

- まず、ハイパスフィルタ21を通過する場合、通過位相はハイパスフィルタ21によって進む。一方、ローパスフィルタ22を通過する場合、通過位相はローパスフィルタ22によって遅れる。ここで、ハイパスフィルタ21により
25 進む位相と、ローパスフィルタ22により遅れる位相との差を180°に設定することにより、180°移相器として動作する。

次に、90° bit移相器の回路定数を移相量が90°になるように設定することにより、90°移相器24は90°位相を切り替えることができる。

上記のように構成することにより、通過位相を90°ステップで切り替える

2ビット移相器として動作する。

実施の形態 7.

図 10 は、この発明の実施の形態 7 に係る移相器を示す回路図である。

- 5 図 10 において、25 は 45° bit 移相器、26 は 22.5° bit 移相器、27 は 11.25° bit 移相器である。

上記のように、実施の形態 6 の構成に対し、 45° bit 移相器 25、 22.5° bit 移相器 26、 11.25° bit 移相器 27 を順次接続する構成とすることにより、通過位相を 11.25° ステップで切り替える 5 ビット移

- 10 相器として動作することになる。

産業上の利用の可能性

以上のように、この発明は、FET のピンチオフ時のキャパシタを用いてフィルタを構成し、FET の ON/OFF によって通過位相を変化させることが

- 15 できる小型な移相器及び多ビット移相器を得ることができる。

請 求 の 範 囲

1. ドレイン電極とソース電極を入力端子と出力端子に接続した第一の F E T と、
5 ドレイン電極またはソース電極の一方の電極を前記第一の F E T のソース電極に接続し、他方の電極を第一のインダクタを介して接地した第二の F E T と、
ドレイン電極またはソース電極の一方の電極を前記第一の F E T のドレイン電極に接続し、他方の電極を第二のインダクタを介して接地した第三の F E T と
10 と
を備えた移相器。
2. 請求項 1 に記載の移相器において、
前記第二の F E T と前記第三の F E T のドレイン電極とソース電極の各電極
15 間に第一と第二のインダクタをそれぞれ接続したことを特徴とする移相器。
3. 請求項 1 に記載の移相器において、
前記第一の F E T のドレイン電極とソース電極間に第一のキャパシタを接続したことを特徴とする移相器。
20
4. 請求項 2 に記載の移相器において、
前記第一の F E T のドレイン電極とソース電極間に第一のキャパシタを接続したことを特徴とする移相器。
- 25 5. 請求項 2 に記載の移相器において、
前記第二の F E T と前記第三の F E T のドレイン電極とソース電極の各電極間に第一と第二のキャパシタをそれぞれ接続したことを特徴とする移相器。
6. 請求項 1 ないし 5 のいずれかに記載の移相器において、

前記第一の F E T のドレイン電極と前記第二の F E T のドレイン電極またはソース電極とを共通接続し、前記第一の F E T のソース電極と前記第三の F E T のドレイン電極またはソース電極とを共通接続したことを特徴とする移相器。

5

7. ドレイン電極とソース電極を入力端子と出力端子に接続した第一の F E T と、

ドレイン電極またはソース電極の一方の電極を前記第一の F E T のソース電極に接続し、他方の電極を第一のインダクタを介して接地した第二の F E T と

10

ドレイン電極またはソース電極の一方の電極を前記第一の F E T のドレイン電極に接続し、他方の電極を第二のインダクタを介して接地した第三の F E T と

を備えた移相器を用い、移相量の異なる複数の移相器を組み合わせた多ビット移相器。

15

8. 請求項 7 に記載の多ビット移相器において、

前記第二の F E T と前記第三の F E T のドレイン電極とソース電極の各電極間に第三と第四のインダクタをそれぞれ接続したことを特徴とする多ビット移相器。

20

9. 請求項 8 に記載の多ビット移相器において、

ハイパスフィルタとローパスフィルタを S P D T スイッチで切り替えるスイッチ切り替え移相器でなる 180° ビット移相器をさらに備え、

25

前記第一ないし第三の F E T と前記第一ないし第四のインダクタンスを有する移相器を 90° ビット移相器として用いたことを特徴とする多ビット移相器。

10. 請求項 9 に記載の多ビット移相器において、

前記 90° ビット移相器と同一構成を有する 45° ビット移相器と、

第四の FET のドレインとソースの間に第五のインダクタを並列に接続し、
第五の FET のドレインまたはソースの一方にスイッチで切り替える一方を接
地した第六のインダクタを接続し、第五の FET のドレインとソースを入出力
5 端子とする移相器でなる 22.5° ビット移相器と、

第六の FET のドレインとソースの間に第七のインダクタを並列に接続し、
第六の FET のドレインとソースを入出力端子とする移相器でなる 11.25° ビットと

をさらに備えたことを特徴とする多ビット移相器。

10

1.1. 請求項 8 に記載の多ビット移相器において、

前記第一の FET のドレイン電極とソース電極間に第一のキャパシタを接続
したことを特徴とする多ビット移相器。

15 1.2. 請求項 8 に記載の多ビット移相器において、

前記第一の FET のドレイン電極とソース電極間に第一のキャパシタを接続
したことを特徴とする多ビット移相器。

1.3. 請求項 8 に記載の多ビット移相器において、

20 前記第二の FET と前記第三の FET のドレイン電極とソース電極の各電極
間に第一と第二のキャパシタをそれぞれ接続したことを特徴とする多ビット移
相器。

25 1.4. 請求項 7 ないし 1.3 のいずれかに記載の多ビット移相器において、

前記第一の FET のドレイン電極と前記第二の FET のドレイン電極または
ソース電極とを共通接続し、前記第一の FET のソース電極と前記第三の FET
のドレイン電極またはソース電極とを共通接続したことを特徴とする多ビッ
ト移相器。

図 1

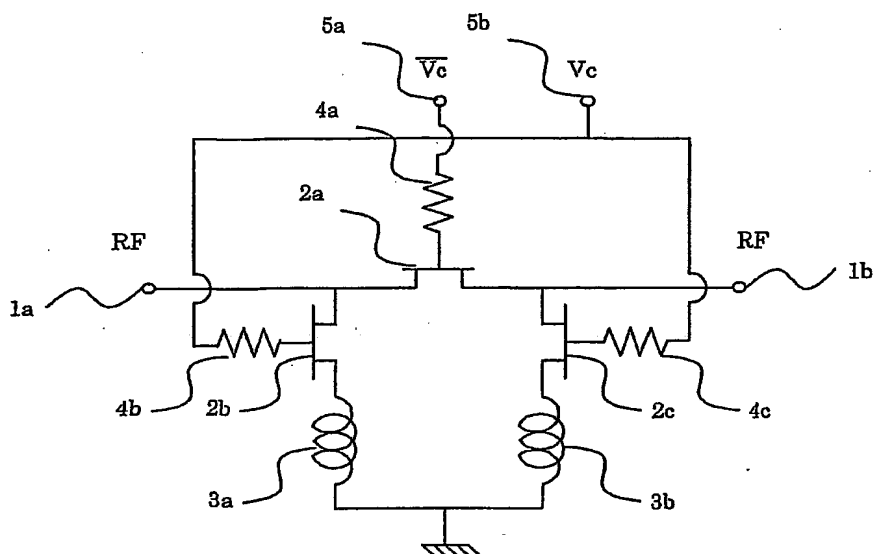


図 2

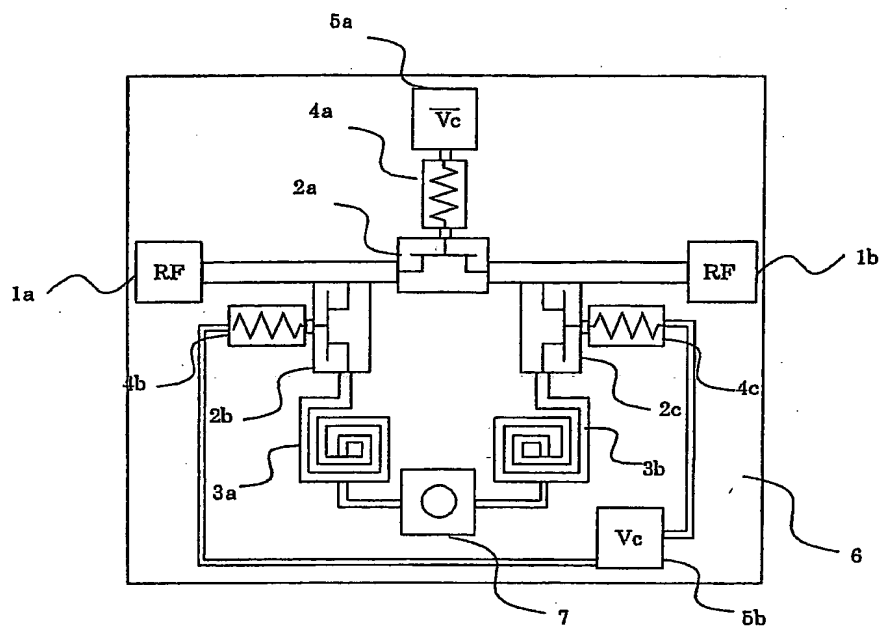


図 3

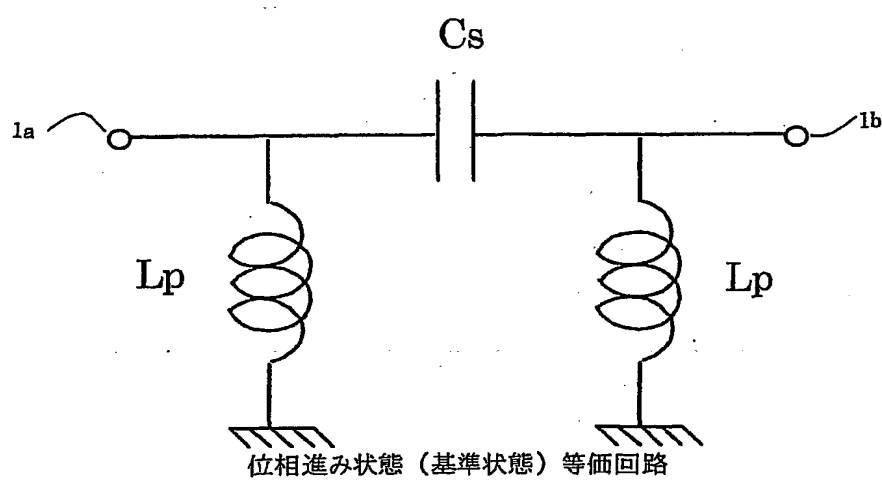


図 4

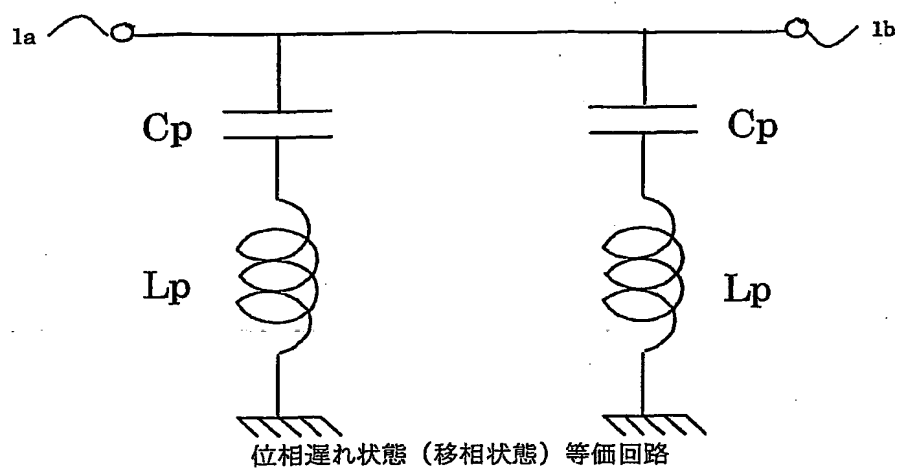


図 5

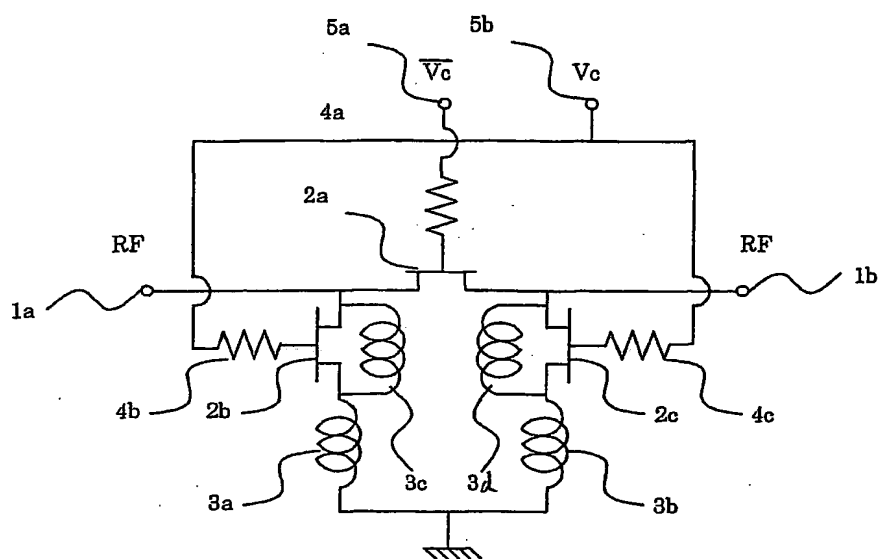


図 6

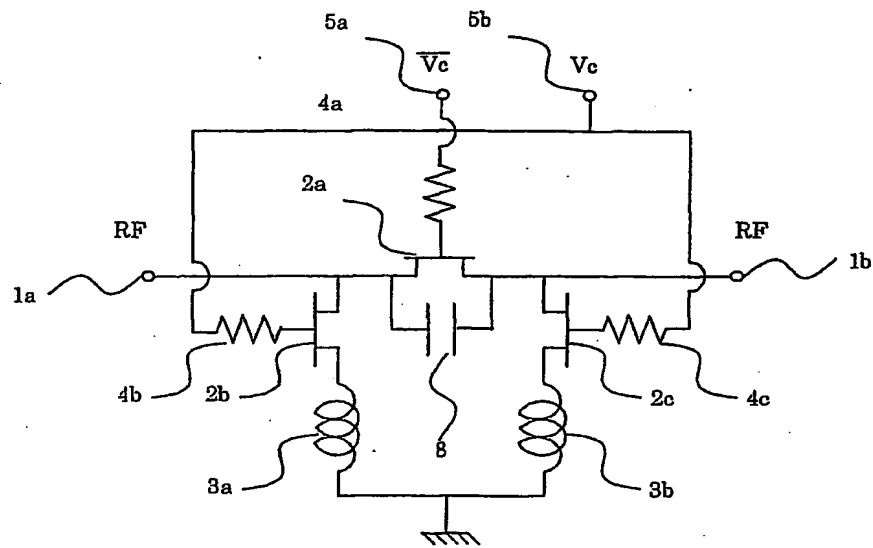


図 7

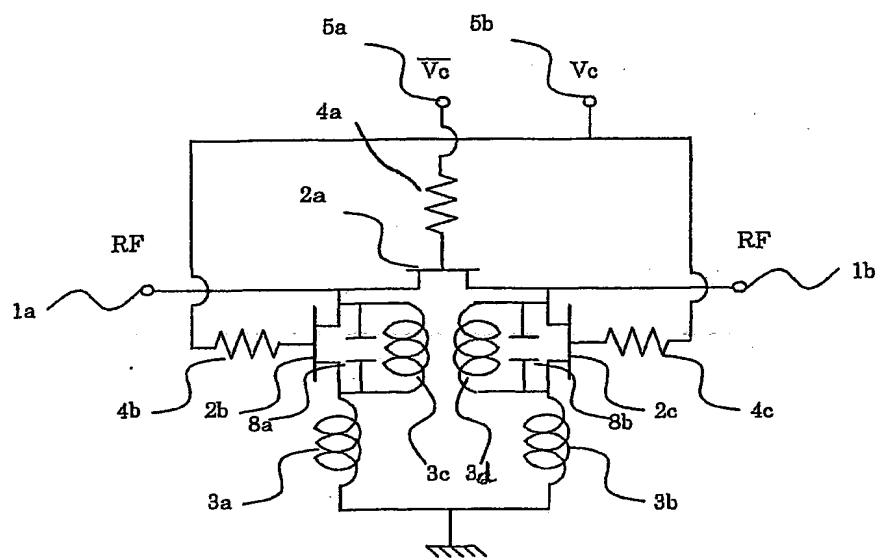


図 8

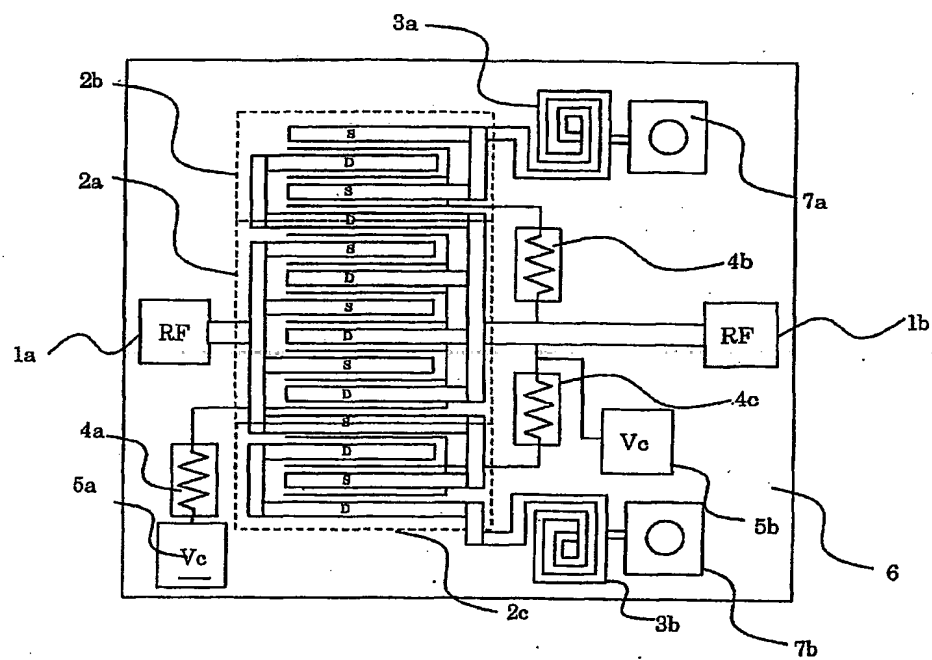


図 9

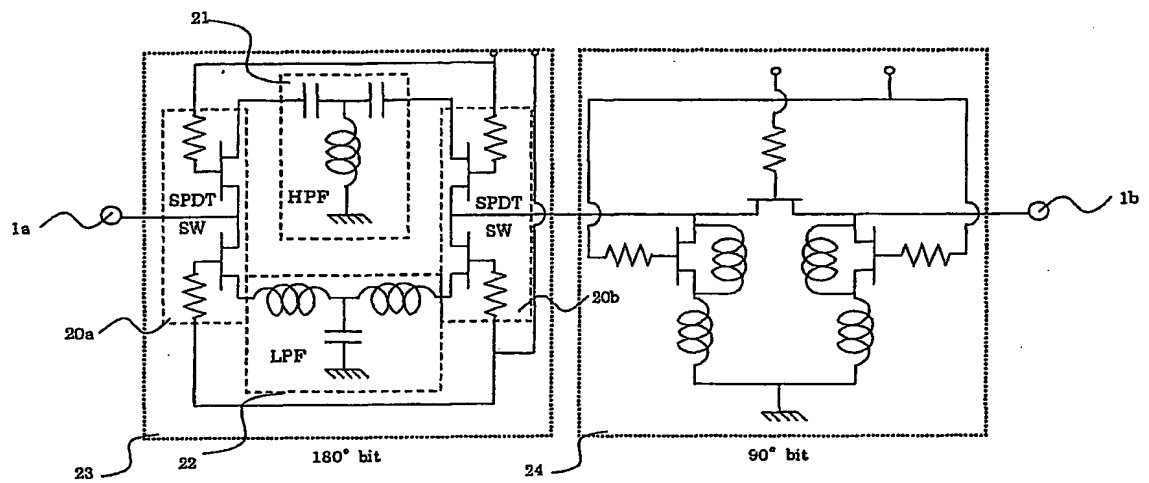


図 10

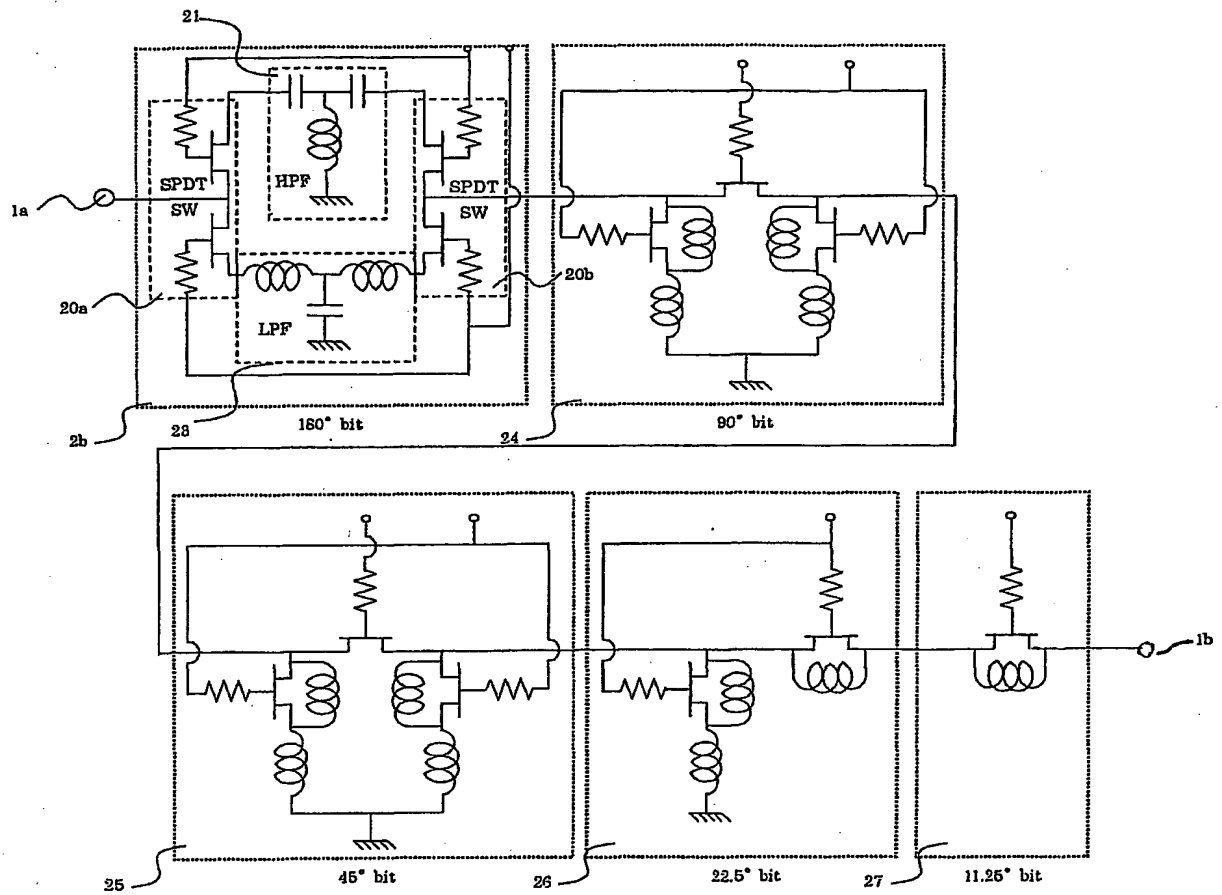
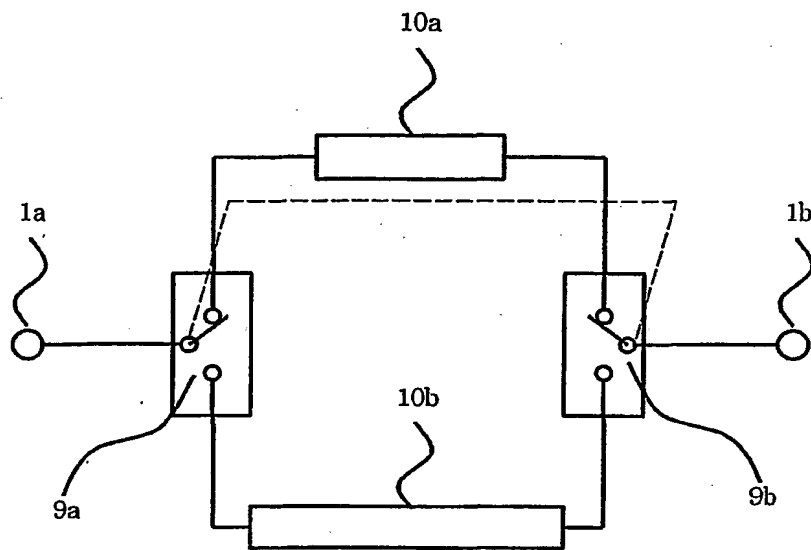


図 11



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/00042

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H03H11/20, H03H7/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03H11/16-11/20, H03H7/18-7/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2001
Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 1-202007, A (Toshiba Corporation), 15 August, 1989 (15.08.89) (Family: none)	1
Y	Fig. 4	7
A	Fig. 4	2-6, 8-14
Y	JP, 3-204218, A (NEC Corporation), 05 September, 1991 (05.09.91) (Family: none)	7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
26 February, 2001 (26.02.01)

Date of mailing of the international search report
06 March, 2001 (06.03.01)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H03H11/20, H03H7/20

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H03H11/16-11/20, H03H7/18-7/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996

日本国公開実用新案公報 1971-2001

日本国登録実用新案公報 1994-2001

日本国実用新案登録公報 1996-2001

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 1-202007, A (株式会社東芝) 15. 8月. 1989 (15. 08. 89), (ファミリーなし)	1
Y	第4図	7
A	第4図	2-6, 8-14
Y	JP, 3-204218, A (日本電気株式会社) 5. 9月. 1991 (05. 09. 91), (ファミリーなし)	7

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

26. 02. 01

国際調査報告の発送日

06.03.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

清水 稔

5W

8525

電話番号 03-3581-1101 内線 6441